

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-177115

(43)Date of publication of application : 14.07.1995

(51)Int.CI.

H04J 3/14

H04L 1/00

H04L 29/14

(21)Application number : 05-322331

(71)Applicant : HITACHI LTD

(22)Date of filing : 21.12.1993

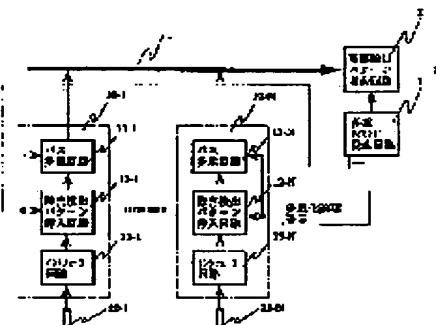
(72)Inventor : ASHI MASAHIRO

## (54) MULTIPLEXER AND METHOD FOR DETECTING FAULT IN THE MULTIPLEXER

### (57)Abstract:

**PURPOSE:** To surely detect a fault and to improve the reliability by multiplexing plural signals to which prescribed identification information as a fault detection pattern is respectively inserted and collating the extracted pattern with the inserted pattern.

**CONSTITUTION:** Fault detection pattern insertion circuits 12-1-12-N insert prescribed identification information as a fault detection pattern to each signal from transmission lines 20-1-20-N so as to be located at a prescribed area after multiplexing prior to multiplexing plural signals. A multiplex timing generating circuit 3 generates multiplex logic number information of information logically indicating a multiplexed position and output it to bus multiplexer circuits 11-1-11-N and fault detection pattern insertion circuits 12-1-12-N of each 1.5M interface section and to a fault detection pattern collation circuit 2. Then the fault detection pattern collation circuit 2 extracts each fault detection pattern inserted after multiplexing of the signals by the bus multiplexer circuits 11-1-11-N and collates the extracted pattern with the inserted pattern.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]



～10-Nと、それからより高い順位をもつする多量ターミナルによって構成される。1. 5Mインタフェース回路13-1～10-Nに接続する障害検出バターン挿入回路12-1、および、多量バスへの信号の多重化を行なう多量回路11-1を備える。5Mインタフェース部10-2～10-Nについても同様の構成である。論理番号情報を発生し、1. 5Mインタフェース部10-1～10-Nのそれと障害検出バターン挿入回路12-1にて出力する。5Mインタフェース部10-1～10-Nは、多量ターミナルによって構成される。各送信路から障害検出バターン挿入回路12-1へ～11-Nに接続する。本実施例においては、バス多量を行なうために、バス多量回路11-1～11-Nの各々において、多量論理器番号情報を指示され、バス多量回路11-1～11-Nへと入力する。あらかじめ定めた銀別情報においては、バス多量を行なうために、バス多量回路11-1～11-Nに接続する。他の送信路検出バターンを挿入する。動作の説明においては、多量の用いている銀別装置における多量化と障害検出との動作について説明する。

[0038] 図2は、第1の実施例の多量化装置に適用される多量化システムを示したものである。本実施例においては、米国のBell coreによって提案されたSONET(Synchronous Optical Network)を利用してした場合を示す。多量ターミナルが発生回路から多量論理番号情報を指示する代わりに、多量制御部を設けておき、制御部から多量論理番号情報を指示するようにしておき、多量回路11-1～11-Nにおいて、1. 5M伝送路20-1～20-Nから受信した低速の1. 5M信号(1. 5M信号1号～1. 5M信号N号)をチャネルコンテナ11(VC-11Virtual Container 11)にマッピングし、ドリフトビットタグ(VC-3Virtual Container 3)に多量化している。この場合、TU-11信号が4本分でTU-11信号が2本分多量化されている。

[0039] 図3は、第1の実施例の多量バス1-1におけるフレーム構成を示したものである。Rowからなる合計810/バイトによって構成される。このフレーム構成は、電気技術委員会(ITU)によって規定しているSTM-0(Synchronous Transport Module 0)と同じである。図3に示すフレームには、VC-3信号が1本分収容されており、さらにその中にはTU-11信号が2本分収容されている。TU-11信号は、1フレームあたり27バイトによって構成されており、その中にTU0ボインタ1バイトと26バイトのVC-1信号などが含まれている。多量ターミナルが発生回路3では、このフレームに基づいたターミナルを発生する。TU-11信号は、4フレームを単位としてマルチフレーム構成をしており、マルチフレーム内のフレーム番号に対応して1～4バイトで呼ばれており、TU0ボインタの範囲は、4フレームを跨ぐ。TU-11信号には、波形数段階(ビット)を複数持つため、マルチフレーム内での波形数段階を複数持つ。TU0ボインタの範囲は、4フレームを跨ぐ。TU-11信号には、波形数段階(ビット)を複数持つため、マルチフレーム内での波形数段階を複数持つ。

[0040] フレーム構成の詳細については、前記の「V.35規格による多量バスの構成」として述べた通りである。TU-11信号には、波形数段階(ビット)を複数持つため、マルチフレーム内での波形数段階を複数持つ。

[0041] フレーム構成の詳細については、前記の「V.35規格による多量バスの構成」として述べた通りである。TU-11信号には、波形数段階(ビット)を複数持つため、マルチフレーム内での波形数段階を複数持つ。

[0042] 次に、図4を用いて第1の実施例における障害検出バターンの構成を説明する。図4に示した障害検出バターンは、互いに反転関係のある正極性バターン(+)によって構成される。図4に示した障害検出バターンは、互いに反転関係のある正極性バターン(+)が障害検出バターン(0)によって構成される。図4に示した障害検出バターンは、以下に示す3つの基本的なバターン(+)が障害検出バターン(0)によって構成される。

[0043] 次に、図4に示す障害検出バターンの詳細な構成について説明する。組合せによって構成される。まず、LSBを基準0点としたときに、第5ビットから第3ビットには、TUG銀別バターンが搭載されている。TUG銀別バターンとは、当該多量化信号が所属するTUG-2の別器番号をバターン化したものであり、VC-3信号に対してTUG-2の多量化数に応じて重複して取り扱う。次に、第2ビットから第0ビットには、TUG銀別バターンが搭載される。TUG銀別バターンとは、当該多量化信号が所属するTU-11信号の識別番号をバターン化したものであり、TUG-2に対してTU-11信号の識別番号が所属するTU-11信号の識別番号をバターン化したものである。論理番号情報を指示する。これらの3種の基本的なバターンは、正極性バターン(+)および負極性バターン(0)において、各々反転関係にある。組合せによって構成される。

[0044] 図5は、TUG銀別バターンおよびTU銀別バターンの具体的な構成例を示したものである。論理番号情報を示す多量論理番号情報を2進コード化して、各々ユニット化する。TUG銀別バターンとして、VC-3信号に対するTUG-2の多量化順序を示す多量論理番号情報を2進コード化して、各々ユニット化する。TUG銀別バターンが割付けられる。TUG銀別バターンを監視することにより、VC-3信号に対するTU-11信号の多量化順序を示す情報である。

[0045] 図5は、TUG銀別バターンから第6ビットにかけて、多量化信号が割付けられる。TUG銀別バターン間ににおいて、各々反転関係にある。組合せによって構成される。各送信路から障害検出バターン挿入回路12-1へ～11-Nに接続する。他の送信路検出バターンを挿入する。動作の説明においては、多量の用いている銀別装置における多量化と障害検出との動作について説明する。



[http://pasnet.ip.fujitsu.co.jp/cgi-bin..04.020920011526000000156+a\\_140532233](http://pasnet.ip.fujitsu.co.jp/cgi-bin..04.020920011526000000156+a_140532233)

<http://pasnet.ip.fujitsu.co.jp/cgi-bin...04.0209200115260000000156+a> 140532233

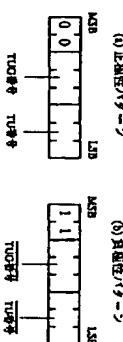
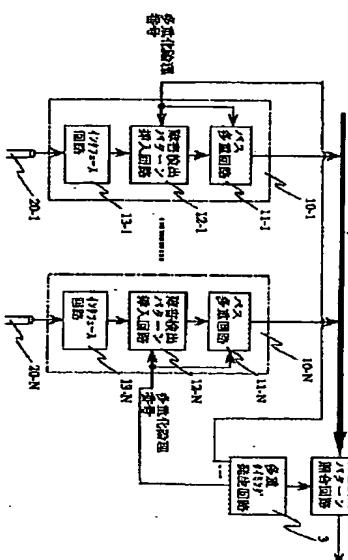
[図2] 及び第2の実施例における多層化系統図(図2)

図10～図12は、各技術の構成図である。図10は、音声認識技術における音声出力バッファの構成図である。図11は、花某技術における音声検出バッファの構成図である。図12は、第1の実験における障音検出ジスタの説明図である。

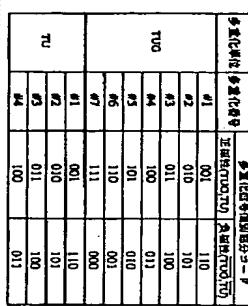
【特号の説明】1...多皿バス、2...暗音演出バターン照合回路、10-1...10-N...1.5Mインタフェース部、11-1...11-N...バ

31-1...31-28...（晋普検出）タレ...40...45Mインタフェース回路、41...  
路2、43...45Mインタフェース回路、50...45M伝送路、60-1...  
回路、60-1...45Mインタフェース回路、102...（晋普検出）タレ...  
60-8...  
60-8...

【図1】第1の実験例を示す鏡面回路取出回路の構成例(図1)



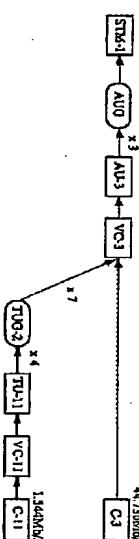
卷之三



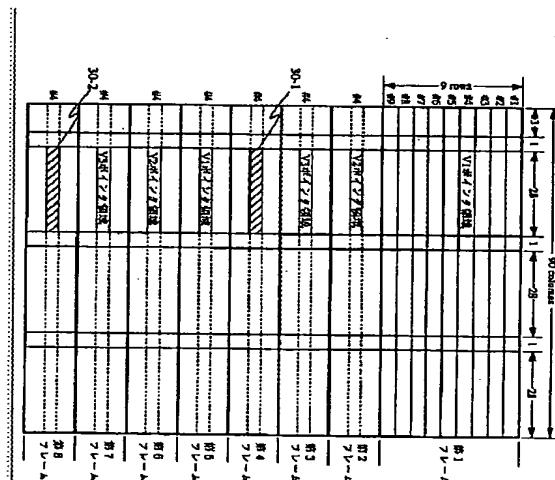
## 【図1】提案技術による障害検出ハローの構成例(図1)

卷之三

[図3] 第1の実施例における多重バスのフレーム構成(図3)

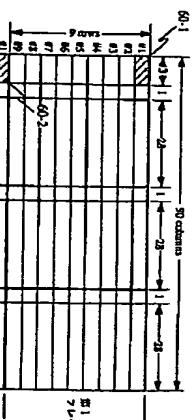


【圖】用以發掘出的多個永久性標記

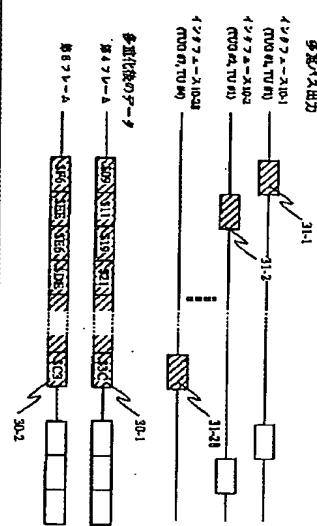


100

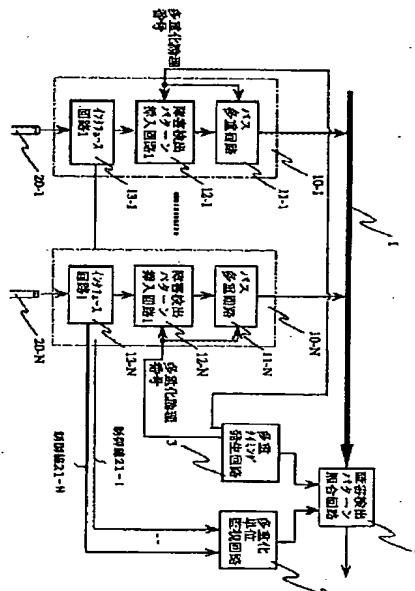
[図9] 第2の実施例における多電バスのフレーム構成(図9)



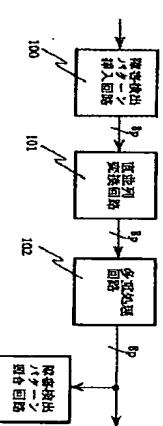
[図6] 第1の実施例の多電バスの動作説明図(図6)



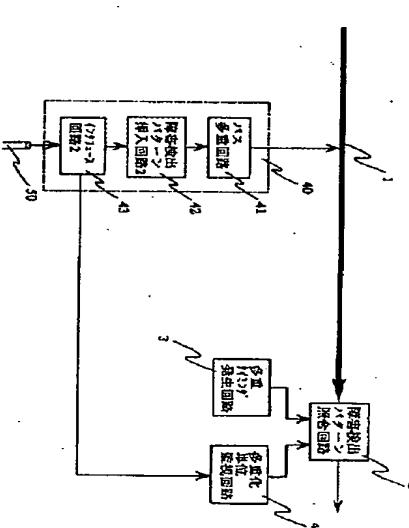
[図7] 第2の実施例を示す複数電荷検出回路の構成(図7)



[図10] 複数電荷の複数電荷検出方法を複用して多電化装置の構成(図10)



[図8] 第2の実施例を示す複数電荷検出回路の構成(図8)



【図12】

新規検出ログストリーム (M1.2)

	正規性	危険性	
	TUG	TU	TUG TU
7-2-97-7-3 (TU#01, TU#1 )	1	1	1 インシデント番号10-1 にかかる情報
1-2-97-7-3 (TU#02, TU#1 )	1	0	インシデント番号10-2 にかかる情報
7-2-97-7-3 (TU#03, TU#1 )	0	0	インシデント番号10-3 にかかる情報
7-2-97-7-3 (TU#04, TU#1 )	0	0	インシデント番号10-4 にかかる情報
7-2-97-7-3 (TU#05, TU#1 )	0	0	インシデント番号10-5 にかかる情報
7-2-97-7-3 (TU#06, TU#1 )	0	0	インシデント番号10-6 にかかる情報
7-2-97-7-3 (TU#07, TU#1 )	0	0	インシデント番号10-7 にかかる情報
7-2-97-7-3 (TU#08, TU#1 )	0	0	インシデント番号10-8 にかかる情報